

PAT-NO: JP408307257A
DOCUMENT-IDENTIFIER: JP 08307257 A
TITLE: PLL SYNTHESIZER
PUBN-DATE: November 22, 1996

INVENTOR-INFORMATION:
NAME
WASHIMI, IKUAKI

ASSIGNEE-INFORMATION:	COUNTRY
NAME	
SANYO ELECTRIC CO LTD	N/A
TOTTORI SANYO ELECTRIC CO LTD	N/A

APPL-NO: JP07104412
APPL-DATE: April 27, 1995

INT-CL (IPC): H03L007/18, H03L007/10

ABSTRACT:

PURPOSE: To reduce the lock-up time by providing a phase difference measurement means measuring a width of a phase difference of a phase comparator and a control circuit controlling a conversion rate of a charge pump on the basis of an output of the phase difference measurement means to the synthesizer.

CONSTITUTION: A control circuit 17 sets a frequency of a 1st clock pulse oscillator 8 to a prescribed initial frequency and a charge pump 6 is operated by the initial value. The circuit 17 detects a phase difference by a 2nd latch 16, checks the phase difference by a ranking of large/medium/small scales and when the phase difference is high, the frequency of the oscillator 8 is

increased. Thus, the count of an up-down counter 9 is increased and a voltage to an LPF12 is rapidly higher thereby quickening the lock time. When the phase difference is a medium scale, the frequency is set to an ordinary frequency and when the phase difference is small, the frequency gets lower. Thus, the count of the counter 9 is reduced so that an output of the LPF12 does not exceed the converged value. Thus, the processing speed of the charge pump is revised depending on the phase difference.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-307257

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl.⁶

H 0 3 L 7/18
7/10

識別記号

庁内整理番号

F I

H 0 3 L 7/18
7/10

技術表示箇所

Z
A

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平7-104412

(22) 出願日

平成7年(1995)4月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72) 発明者 鷺見 育亮

鳥取県鳥取市南吉方3丁目201番地 鳥取

三洋電機株式会社内

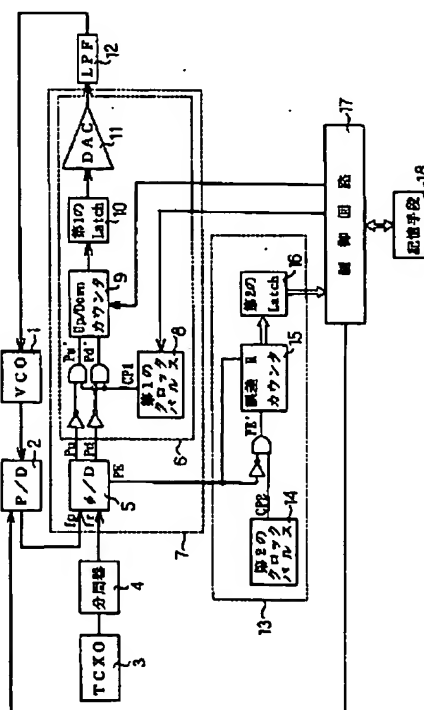
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 PLLシンセサイザ

(57) 【要約】

【目的】 チャージポンプの処理速度を位相差に応じて変更できるようにし、これによりロックアップ時間を短縮する。

【構成】 位相比較器5の位相差の幅を計測する誤差カウンタ15と、制御回路17とを有し、チャージポンプ6は、第1のクロックパルス発振器8と、該クロックパルス発振器8からの信号に基づき前記位相比較器5からの位相差を所定のステップでカウントするアップダウンカウンタ9と、該カウンタ9の出力値を保持する第1のラッチ10と、該ラッチ10の出力をアナログ信号に変換するデジタルアナログコンバータ11とで構成され、前記制御回路17は前記誤差カウンタの出力に基づいて第1のクロックパルス発振器8のパルス幅あるいはアップダウンカウンタ9のステップ値を変更させる。



1

【特許請求の範囲】

【請求項1】 電圧制御発振器と、該電圧制御発振器の出力を可変的に分周するプログラマブル分周器と、基準周波数発振器と、該周波数発振器からの出力とプログラマブル分周器の出力の位相差を検出する位相比較器と、該位相比較器の出力を電圧に変換するチャージポンプと、該チャージポンプの電圧を電圧制御発振器への制御電圧に変換する低域濾波器で構成されたPLLシンセサイザにおいて、

前記位相比較器の位相差の幅を計測する位相差計測手段と、該位相差計測手段の出力の基づいて前記チャージポンプの変換速度を制御する制御回路とを有することを特徴とするPLLシンセサイザ。

【請求項2】 電圧制御発振器と、該電圧制御発振器の出力を可変的に分周するプログラマブル分周器と、基準周波数発振器と、該周波数発振器からの出力とプログラマブル分周器の出力の位相差を検出する位相比較器と、該位相比較器の出力を電圧に変換するチャージポンプと、該チャージポンプの電圧を電圧制御発振器への制御電圧に変換する低域濾波器で構成されたPLLシンセサイザにおいて、

前記位相比較器の位相差の幅を計測する第1のカウンタと、制御回路とを有し、前記チャージポンプは、クロックパルス発振器と、該クロックパルス発振器からの信号に基づき前記位相比較器からの位相差を所定のステップでカウントする第2のカウンタと、該カウンタの出力値を保持するラッチと、該ラッチの出力をアナログ信号に変換するデジタルアナログコンバータとで構成され、前記制御回路は前記第1のカウンタの出力に基づいて前記クロックパルス発振器の周波数あるいは第2カウンタのステップ値を変更させることを特徴とするPLLシンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はチャージポンプを有するPLLシンセサイザに関する。

【0002】

【従来の技術】PLLシンセサイザはラジオや携帯用電話機等に多く使用されている。このPLLシンセサイザには位相比較器からの位相差信号を低域濾波器への電圧に変換するチャージポンプがある。このチャージポンプは例えば実公昭58-22343号公報に開示される如く、2つのFET (Field Effect Transistor) で構成される。チャージポンプの動作について説明する。図6はチャージポンプ(19)を有するPLLシンセサイザのブロック図であり、図7はチャージポンプ(19)の構成を示す図である。図8は位相比較器(ϕ/D)

(5)とチャージポンプ(19)の動作を示すタイミングチャートである。図8のfpはプログラマブル分周器(2)で分周された電圧制御発振器(1)からの出力で

2

あり、frは分周器(4)で分周された基準発振器(3)からの出力である。fp及びfrが位相比較器(5)に入力されると、fpの位相がfrよりも進んでいる間だけ位相比較器(5)のアップ信号PuがLowとなり、fpの位相がfrよりも遅れている間は位相比較器のダウン信号PdがLowとなる。fpとfrがいずれもHighであればチャージポンプ(19)の各FETは共にオフ状態にあり、低域濾波器(12)のコンデンサーは一定電位を保持し、ロックを保持する。しかし、PuがLowになると低域濾波器(12)のコンデンサーを充電させ、PdがLowになると低域濾波器(12)のコンデンサーを放電させる。かくして、電圧制御発振器(1)からは常に安定した発振周波数を得ることができる。

【0003】

【発明が解決しようとする課題】ロックアップ時間を極力短くすることは、PLLシンセサイザの宿命である。従来のチャージポンプは上記の如くFETを使用したものであるために、チャージポンプの処理の速度を調整することはできなかった。この為にロックアップ時間を短縮するには限度があった。

【0004】

【課題を解決するための手段】本発明はかかる点に鑑みてなされたもので、その特徴は、位相比較器の位相差の幅を計測する第1のカウンタと、制御回路とを有し、チャージポンプは、クロックパルス発振器と、該クロックパルス発振器からの信号に基づき位相比較器からの位相差を所定のステップでカウントする第2のカウンタと、該カウンタの出力値を保持するラッチと、該ラッチの出力をアナログ信号に変換するデジタルアナログコンバータとで構成され、前記制御回路は前記第1のカウンタの出力に基づいて前記クロックパルス発振器の周波数あるいは第2カウンタのステップ値を変更させることである。

【0005】

【作用】チャージポンプの処理速度を位相差に応じて変更する。

【0006】

【実施例】本発明の実施例を図に基づき説明する。図1はPLLシンセサイザのブロック図である。(1)は電圧制御発振器(VCO)であり、所望の周波数を外部に出力する。(2)はプログラマブル分周器(P/D)であり、電圧制御発振器(1)の出力を可変的に分周する。(3)は温度補償水晶発振器(TCXO)であり、発振周波数を微調整可能である。(4)は分周器であり、温度補償水晶発振器(3)の出力を分周する。

(5)は位相比較器(ϕ/D)であり、分周された電圧制御発振器(1)の出力fpと分周された温度補償水晶発振器(3)の出力frの位相差及びアンロックの検出を出力する。位相差はアップ信号Puとダウン信号Pdで出力される。(6)はチャージポンプであり、位相比較器

3

(5)からのアップ信号Pu及びダウン信号Pdを電圧に変換する。位相比較器(5)とチャージポンプ(6)を合わせて広義の位相比較器(7)という。これに対し、チャージポンプ(6)を含まない(5)は狭義の位相比較器である。ここでは、狭義の位相比較器を単に位相比較器という。

【0007】チャージポンプ(6)は第1のクロックパルス発振器(8)、アップダウンカウンタ(Up/Downカウンタ)(9)、第1のラッチ(Latch)(10)とデジタルアナログコンバータ(DAC)(11)を具備する。

【0008】第1のクロックパルス発振器(8)はアップダウンカウンタ(9)のカウントのための基準パルス信号を送出する。この周波数は変更可能であり、その指定は後述の制御回路(17)により行われる。周波数を高くすれば、アップダウンカウンタ(9)のカウント数が多くなる。

【0009】アップダウンカウンタ(9)は第1のクロックパルス発振器(8)の基準信号に基づき位相比較器(5)からのアップ信号Pu及びダウン信号Pdより各位相差をカウントする。通常は、第1のクロックパルス発振器(8)の1パルスに対して1つずつカウントするが、1パルスに対して2つずつあるいは4つずつというように複数のカウントステップを行うことができる。このカウントステップの指定は後述の制御回路(17)により行われる。ステップを大きくすれば、アップダウンカウンタ(9)の出力電圧が高くなる。

【0010】第1のラッチ(10)はアップダウンカウンタ(9)の出力値を保持する。即ち、アップダウンカウンタ(9)の出力を一時的に記憶することができる。デジタルアナログコンバータ(11)はデジタル信号である第1のラッチ(10)の出力をカウント値に応じた電圧に変換する。(12)は低域濾波器(LPF)であり、デジタルアナログコンバータ(11)の出力電圧に基づいて電圧制御発振器(1)への制御電圧を補正する。

【0011】(13)は位相比較器(5)からの位相差を計測する位相差計測手段である。位相差計測手段(13)は第2のクロックパルス発振器(14)と誤差カウンタ(15)と第2のラッチ(Latch)(16)を具備する。誤差カウンタ(15)は第2のクロックパルス発振器(14)の基準パルス単位で位相比較器(5)からの位相差をカウントし、その出力は第2のラッチ(16)で保持される。

【0012】(17)は制御回路であり、各部を制御する。(18)はRAMやROM等からなる記憶手段であり、制御回路(17)の動作に必要なデータを記憶する。例えば、動作のプログラムや第2のラッチ(16)からのロック時間を記憶する。

【0013】図2はアップダウンカウンタ(9)の動作

4

を示すタイミングチャートである。プログラマブル分周器(2)の出力fp及び分周器(4)の出力frが位相比較器(5)に入力されると、fpの位相がfrよりも進んでいる間だけ位相比較器(5)のアップ信号PuがLowとなり、fpの位相がfrよりも遅れている間は位相比較器

(5)のダウン信号PdがLowとなる。PuとPdのLowのパルス幅はfpとfrの位相差を示している。このパルス幅をクロックパルス発振器(8)と論理素子(インバータとANDゲート)によりHighのパルス幅で表す信号(Pu'及びPd')に変換する。アップダウンカウンタ(9)はこのPu'及びPd'のパルス数をカウントしてその値をデジタル信号として出力する。アップダウンカウンタ(9)のデジタル出力信号は第1のラッチ(10)にて保持され、デジタルアナログコンバータ(11)にてカウント値(位相差)に応じた電圧(アナログ)に変換される。この電圧にて低域濾波器(12)の制御電圧が補正される。

【0014】このようにして、fpの位相がfrよりも進んでおれば低域濾波器(12)の制御電圧が上昇させられ、fpの位相がfrよりも遅れている間は低域濾波器(12)の制御電圧が降下させられる。かくして、従来と同様に電圧制御発振器からは安定した発振周波数を得ることができる。従来と異なり、本願発明のチャージポンプは上述の如くデジタル信号を扱う回路で構成されているために、マイコン等の制御回路で制御することが容易である。

【0015】図3は誤差カウンタ(15)の動作を示すタイミングチャートである。PEはアンロック信号を作り出す途中で得られる信号であり、Pu'とPd'の論理和で得られる。即ち、fpとfrに位相差が生じているときにLowとなり、PEのLowのパルス幅はfpとfrの位相差を示す。尚、PEのパルス幅が所定以上のときにLowとなるようにしたものがアンロック信号である(図示せず)。PEのパルス幅を第2のクロックパルス発振器(14)と論理素子(インバータとANDゲート)によりHighのパルス幅で表す信号(PE')に変換する。誤差カウンタ(9)はこのPE'のパルス数をPEの立ち上がりでリセットしてカウントしてその値をデジタル信号とし、出力する。誤差カウンタ(15)のデジタル出力信号は第2のラッチ(16)にて保持され、制御回路(17)に出力される。

【0016】このようにして、位相差の値をデジタルの信号として制御回路(17)に出力することができる。

【0017】図4は制御回路(17)の主要な動作を示すフローチャートである。制御回路(17)は第1のクロックパルス発振器(8)の周波数を所定の初期値に設定する(S1)。この値でチャージポンプ(6)が動作を行う(S2)。制御回路(17)は第2のラッチ(16)より位相差を検出し、位相差を大中小のランクで調べる(S3、S4)。位相差が大きければ第1のクロッ

5

クパルス発振器(8)の周波数を高くする(S5)。これにより、アップダウンカウンタ(9)のカウント数が多くなり、低域濾波器(12)への電圧が急激に高くなってロックタイムが早くなる(S3のY, S4)。位相差が中であれば周波数を普通にする(S6)。位相差が小さければ周波数を低くする(S7)。これにより、アップダウンカウンタ(9)のカウント数が少なくなり、低域濾波器(12)の出力が収束値を行き過ぎないようになる。そして、ステップS2に戻り、次からのチャージポンプ(6)の動作が制御される。

【0018】このようにして、チャージポンプの出力電圧の立ち上がりを位相差に応じて変更させることができる。例えば、分周率が変更された直後で位相差が大きいときは第1のクロックパルス発振器(8)の周波数を高くして早くロックアップする電圧に近づけるようにし、ロックアップする電圧に近くなって位相差が小さくなると、第1のクロックパルス発振器(8)の周波数を低くしてロックアップする電圧を行き過ぎないようにする。

【0019】図4のフローチャートでは、制御回路(17)は位相差に基づき第1のクロックパルス発振器(8)のパルス幅を制御したが、アップダウンカウンタ(9)のカウントステップを制御してもよい。これを他の実施例として図5のフローチャートに基づき説明する。

【0020】制御回路(17)はアップダウンカウンタ(9)のカウントステップを所定の初期値に設定する(S8)。この値でチャージポンプ(6)が動作を行う(S9)。制御回路(17)は第2のラッチ(16)より位相差を検出し、位相差を大中小のランクで調べる(S10, S11)。位相差が大きければアップダウンカウンタ(9)のカウントステップを大きくする(S12)。これによりアップダウンカウンタ(9)のカウント数が大きくなり、低域濾波器(12)への電圧が急激に高くなってロックタイムが早くなる。位相差が中であればパルス幅を普通にする(S13)。位相差が小さければアップダウンカウンタ(9)のカウントステップを小さくする(S14)。これにより低域濾波器(12)への電圧変化が少なくなると、低域濾波器(12)の出力が収束値を行き過ぎないようになる。そして、ステップS2に戻り、次からのチャージポンプ(6)の動作が

制御される。

【0021】このようにして、チャージポンプの処理速

6

度を位相差に応じて変更することができる。

【0022】尚、上述の実施例では、制御回路(17)は3つのランクで制御したが、第1のクロックパルス発振器(8)のパルス幅単位(ビット単位)で変更する等、細かく制御してもよい。

【0023】

【発明の効果】チャージポンプの処理速度を位相差に応じて変更することができ、これにより、ロックアップ時間を短縮することができる。

10 【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】実施例のアップダウンカウンタの動作を示すタイミングチャートである。

【図3】実施例の誤差カウンタの動作を示すタイミングチャートである。

【図4】実施例の制御回路の主要な動作を示すフローチャートである。

【図5】他の実施例の制御回路の主要な動作を示すフローチャートである。

20 【図6】従来のチャージポンプを有するPLLシンセサイザの構成を示すブロック図である。

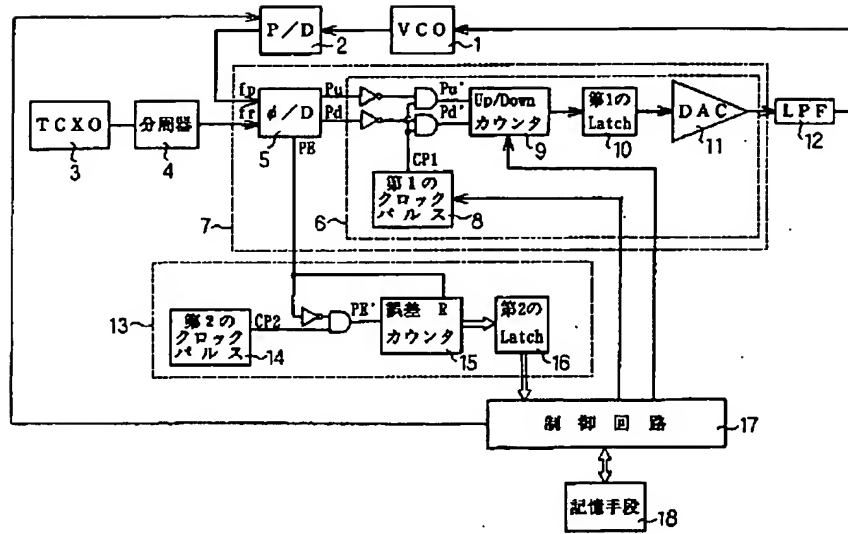
【図7】従来のチャージポンプの構成を示す図である。

【図8】従来のタイミングチャートである。

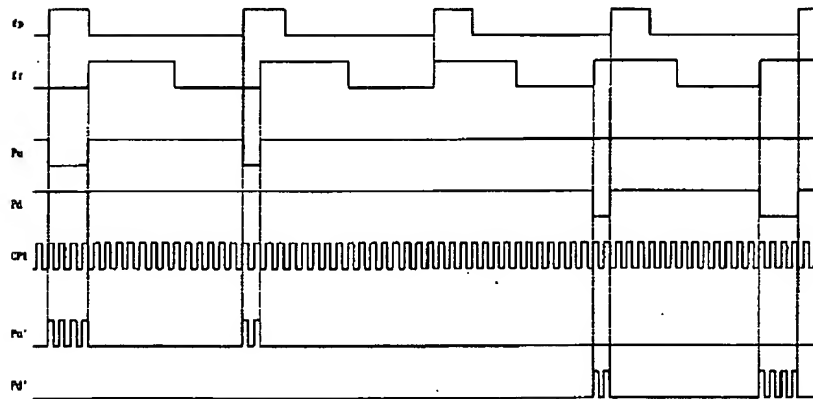
【符号の説明】

- 1 電圧制御発振器
- 2 プログラマブル分周器
- 3 温度補償水晶発振器
- 4 分周器
- 5 チャージポンプ
- 30 6 位相比較器(狭義)
- 7 位相比較器(広義)
- 8 第1のクロックパルス発振器
- 9 アップダウンカウンタ
- 10 第1のラッチ
- 11 デジタルアナログコンバータ
- 12 低域濾波器
- 14 第2のクロックパルス発振器
- 15 誤差カウンタ
- 16 第2のラッチ
- 40 17 制御回路
- 18 記憶手段

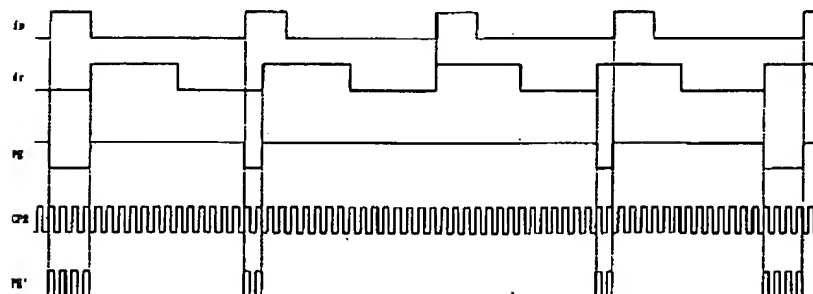
【図1】



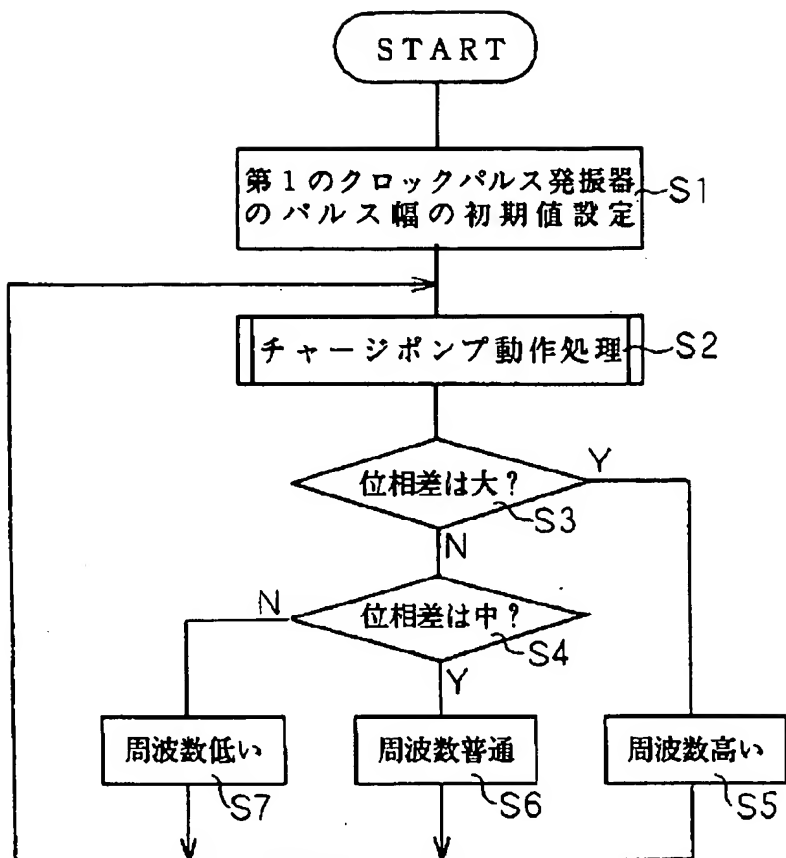
【图2】



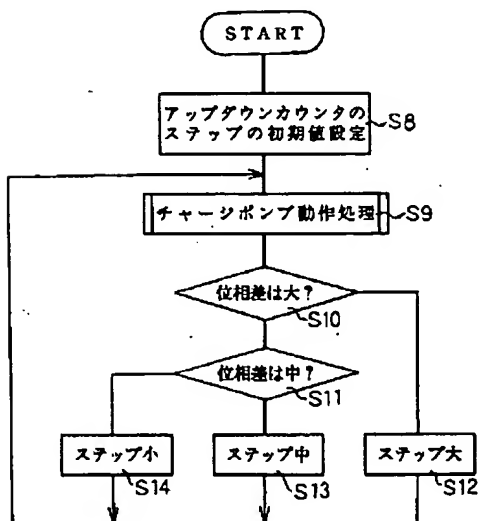
【図3】



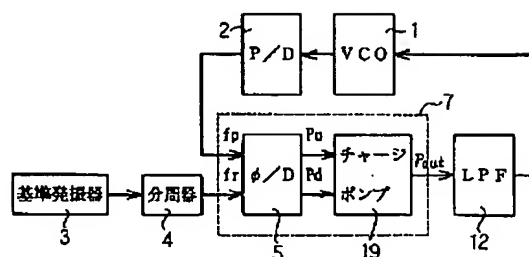
【図4】



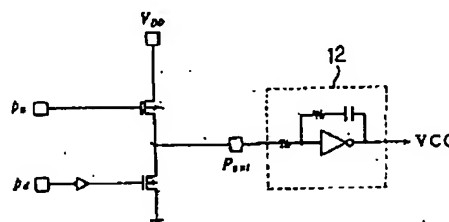
【図5】



【図6】



【図7】



【図8】

